

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-135418

(43)公開日 平成10年(1998) 5月22日

(51)Int.Cl.<sup>o</sup>

H 0 1 L 27/10  
27/04  
21/822  
27/108  
21/8242

識別記号

4 5 1

F I

H 0 1 L 27/10 4 5 1  
27/04 C  
27/10 6 5 1  
29/78 3 7 1

審査請求 有 請求項の数10 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平9-274202  
(62)分割の表示 特願平6-138826の分割  
(22)出願日 平成6年(1994) 6月21日

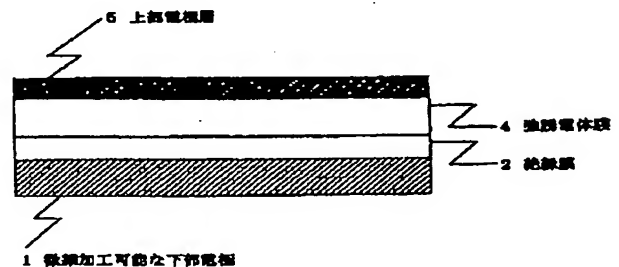
(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72)発明者 田邊 伸広  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(72)発明者 松木 武雄  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(72)発明者 齋藤 忍  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(74)代理人 弁理士 京本 直樹 (外2名)  
最終頁に続く

(54)【発明の名称】 強誘電体容量およびメモリセル構造

(57)【要約】

【課題】 酸化されやすいが微細加工が可能な材料を下部電極として使えるようにする。また下部電極と絶縁膜の界面状態を良好にする。

【解決手段】 下部電極1上にシリコン窒化酸化膜等の、強誘電体膜からの金属の拡散を防げる絶縁膜2を形成する。その上に $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 等の強誘電体膜4を形成する。予め絶縁膜2を設けてから強誘電体膜4を堆積するので、下部電極1の酸化を防ぐことができる。次に上部電極層5を形成する。その結果下部電極1と絶縁膜2の界面状態が良くなり、リーク電流が低減し、絶縁膜厚の制御もできる。また下部電極材料に酸化されやすいが微細加工が可能なポリシリコン、チタン、タングステン等も使えるようになる。



1

## 【特許請求の範囲】

【請求項1】微細加工が容易な材料よりなる下部電極と、この電極上に形成された強誘電体膜からの金属拡散及び下部電極の酸化を防止するための絶縁膜と、この絶縁膜上に形成された強誘電体膜と、この強誘電体膜上に形成された上部電極とによって構成され、前記絶縁膜の膜厚を前記下部電極と前記上部電極との間に所定の電圧を印加した際に前記強誘電体膜に分極反転に必要な電圧が印加されるような膜厚としたことを特徴とする強誘電体容量。

【請求項2】前記絶縁膜がシリコン酸化膜、シリコン窒化膜、またはシリコン窒化酸化膜のいずれかであることを特徴とする請求項1に記載の強誘電体容量。

【請求項3】下部電極が表面に微細な凹凸を有することを特徴とする請求項1または2に記載の強誘電体容量。

【請求項4】下部電極が基板上に形成された絶縁膜の溝部に埋め込まれている請求項1から請求項3のいずれかに記載の強誘電体容量。

【請求項5】前記下部電極がポリシリコン、チタン、チタンシリサイド、窒化チタン、タングステン、タングステンシリサイド、チタンタングステンのいずれかよりなることを特徴とする請求項1から請求項4のいずれかに記載の強誘電体容量。

【請求項6】請求項1から請求項5のいずれかに示した強誘電体容量の下部電極あるいは上部電極のいずれかと電界効果トランジスタのソース・ドレインのいずれかとを接続し、このソース・ドレインのうち、強誘電体容量に接続されていない側をビット線に接続し、前記電界効果トランジスタのゲート電極をワード線に接続することによって構成されることを特徴とする不揮発性メモリ用メモリセル構造。

【請求項7】基板上に形成された電界効果トランジスタと、前記電界効果トランジスタを電氣的に分離するためのフィールド酸化膜と、前記フィールド酸化膜上に形成された請求項1から請求項5のいずれかに示した強誘電体容量と、前記電界効果トランジスタと前記強誘電体容量とを接続する金属配線層とで構成されることを特徴とする不揮発性メモリ用メモリセル構造。

【請求項8】基板上に形成された電界効果トランジスタと、前記電界効果トランジスタを電氣的に分離するためのフィールド酸化膜と、少なくともその一部が前記電界効果トランジスタ上に層間絶縁膜をはさんで形成された請求項1から請求項5のいずれかに示した強誘電体容量と、前記電界効果トランジスタと前記強誘電体容量とを接続する金属配線層とで構成されることを特徴とする不揮発性メモリ用メモリセル構造。

【請求項9】基板上に形成された電界効果トランジスタと、前記電界効果トランジスタ上に層間絶縁膜をはさんで形成され、かつ前記電界効果トランジスタのソース・ドレインの一方とコンタクト電極によって接続された請

2

求項1から請求項5のいずれかに示した強誘電体容量と、前記強誘電体容量の上部に層間絶縁膜をはさんで形成され、かつ前記電界効果トランジスタのソース・ドレインの他方に接続されたビット線とによって構成される不揮発性メモリ用メモリセル構造。

【請求項10】基板上に形成された電界効果トランジスタと、前記電界効果トランジスタ上に層間絶縁膜をはさんで形成され、かつ前記電界効果トランジスタのソース・ドレインの一方とコンタクト電極によって接続されたビット線と、前記ビット線の上に層間絶縁膜をはさんで形成され、かつ前記電界効果トランジスタのソース・ドレインの他方に接続された請求項1から請求項5のいずれかに示した強誘電体容量とによって構成される不揮発性メモリ用メモリセル構造。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は強誘電体容量構造およびメモリセル構造に関し、特に強誘電体の残留分極を利用する不揮発性メモリのメモリセル構造およびそれに用いる強誘電体容量構造に関する。

## 【0002】

【従来の技術】不揮発性メモリに使用される強誘電体容量は、強誘電体膜を高温・酸素雰囲気中で成膜したり、あるいは強誘電体膜成膜後に酸素雰囲気中で熱処理を行ったりする必要があるため、耐酸化性に優れたPtあるいはPdを電極として用いなければならない（特開平4-349657号公報）（図12）。

## 【0003】

【発明が解決しようとする課題】一方、メモリの集積度を高くするためには、メモリセル面積を縮小しなければならず、そのためにはメモリセルトランジスタと強誘電体容量を埋め込み性の良い例えばポリシリコンプラグ等で接続し、かつその際に強誘電体容量の下部電極を微細加工可能な例えばポリシリコン等を用いて形成することが望ましい。ただし、強誘電体成膜時に高温の熱処理を行うので、耐熱性が必要である。ここで他のプラグ材料、電極材料としては、タングステン、チタンおよびシリコンも含めてそれらが混在する物質等が考えられる。

【0004】しかしながら、これらの電極上に強誘電体膜を形成すると、電極が酸化され、前記酸化によって形成される絶縁膜と電極との界面状態が悪いためにリーク電流が増加する、あるいは前記酸化によって形成される絶縁膜厚の制御性が悪く、電気特性ばらつきの原因になる等の問題が生じる（図13）。

【0005】本発明の目的は、メモリセルトランジスタと強誘電体容量をコンタクトプラグで接続するメモリセル構造を用いることによりメモリセル面積の縮小を可能にするために、微細加工可能な電極を用いることができる強誘電体容量、およびそれを用いた不揮発性メモリ用メモリセルを提供することにある。

3

## 【0006】

【課題を解決するための手段】本発明に係る強誘電体容量は、下部電極上にあらかじめ制御性良く形成された強誘電体からの金属拡散を防ぐ絶縁膜と、前記絶縁膜上に形成された強誘電体膜と上部電極とによって構成されている。その際、絶縁膜と強誘電体との間に、強誘電体からの金属拡散を防ぐためのバリアメタルが形成されていても良い。

【0007】下部電極と強誘電体膜との間に制御性良く絶縁膜を形成することにより、下部電極と絶縁膜との界面状態が良好で、電気特性ばらつきの少ない強誘電体容量を形成できる。

## 【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。

【0009】（実施例1）図1に示すように、微細加工可能な下部電極1上に絶縁膜2が形成されている。ここで、下部電極1の材料としては、ポリシリコン、チタン、チタンシリサイド、窒化チタン、タングステン、タングステンシリサイド、チタタングステン等の、PtやPdに比べてより微細加工（RIE）可能な材料を使うことができる。絶縁膜2の材料としては、シリコン窒化酸化膜、シリコン窒化膜、酸化チタン膜、酸化タンタル膜、シリコン酸化膜等を用いる。絶縁膜2は熱酸化、CVD等で形成する。ここで、あらかじめ下部電極1上に絶縁膜が形成されていることにより、下部電極1と絶縁膜2との界面状態を良好にすることができる。上述の下部電極の材料は酸化されやすいものが多いが、絶縁膜2を設けることで酸化を防ぐことができる。そのため上述のような微細加工のできる材料が使えるわけである。

【0010】絶縁膜2上には、強誘電体膜4が形成されている。この場合、強誘電体膜4中の金属が絶縁膜2あるいは下部電極1へと拡散するのを防ぐためのバリアメタル層が形成されていないので、絶縁膜2として、例えばシリコン窒化酸化膜のような、金属拡散を防ぐ膜を用いる必要がある。

【0011】この構造ではバリアメタル層を用いないため、バリアメタル層が酸化することにより絶縁膜が新たに形成されることがないので、下部電極1と強誘電体膜4との間に存在するのは、絶縁膜2のみになる。従って、本構造においては、絶縁膜2によって図10の等価回路に示した常誘電体容量22の容量値が決定され、強誘電体膜4によって強誘電体容量24の容量値が決定される。また、絶縁膜2は制御性よく形成することができるので、強誘電体容量24に実効的にかかる電圧を制御することができる。

【0012】強誘電体膜4上には、上部電極層5が形成され、全体として強誘電体容量を構成している。

【0013】図11に、強誘電体膜4としてSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>を用いた場合に、強誘電体容量24にかかる

4

電圧の容量全体にかかる電圧に対する割合の強誘電体膜4の膜厚依存性を、絶縁膜2のシリコン酸化膜の膜厚をパラメータとして実線で示す。点線で示されているのは、図中に記した電圧を容量全体にかけた場合に、メモリ動作を行うために強誘電体容量24にかけなければならない必要最小限の電圧である。例えば、100nm厚のSrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>を強誘電体膜4として用いると、絶縁膜2の膜厚をシリコン酸化膜換算で2.5nmにすれば、2.5Vを容量全体にかければメモリ動作を行うことができる。例えば、絶縁膜2としてタンタル酸化膜を用いれば、この膜厚を実現することができる。また、容量全体にかかる電圧を3.3Vにすれば、絶縁膜2の膜厚をシリコン酸化膜換算で5nmにすることにより、メモリ動作を行うことができる。例えば、絶縁膜2としてシリコン窒化酸化膜を用いれば、この膜厚を実現することができる。

【0014】（実施例2）図2に示すように、実施例1に示したものと同様に、微細加工可能な下部電極1と絶縁膜2との界面状態が良好になるように絶縁膜2が下部電極1上に形成されている。絶縁膜2としては実施例1と同様の材料を使うことができる。

【0015】絶縁膜2上には、バリアメタル層3が形成されている。これは、強誘電体膜4中の金属が絶縁膜2あるいは下部電極1へと拡散するのを防ぐためである。

【0016】バリアメタル層3上には、強誘電体膜4が形成されている。バリアメタル層3が耐酸化性の低い物質、例えばチタン、ポリシリコン、タングステン等である場合、強誘電体膜4成膜時にバリアメタル層3が酸化される可能性があるが、絶縁膜2があらかじめ形成されているため、下部電極1と絶縁膜2との良好な界面状態を保つことができる。バリアメタル層3として耐酸化性の高いPt、あるいは酸化しても導電体であるRu等を用いると、強誘電体膜4を成膜する際に新たに絶縁膜が形成されないで、下部電極1、絶縁膜2、バリアメタル3によって構成される容量の容量値は最初に形成した絶縁膜2によって決定される。従って、容量値の制御性が高くなる。

【0017】本構造を用いる場合、図10の等価回路に示すように強誘電体容量24と常誘電体容量22が直列に接続しているため、強誘電体容量24の容量値と常誘電体容量22の容量値との比によって、容量全体にかかる電圧に対するそれぞれの容量にかかる電圧の比が決定される。従って、強誘電体容量24の容量値が決まっている場合、常誘電体容量22の容量値を制御することにより、強誘電体容量にかかる電圧を制御することができる。本構造では、下部電極1、絶縁膜2、バリアメタル3によって常誘電体容量22が形成され、バリアメタル3、強誘電体膜4、上部電極層5によって強誘電体容量24が形成されている。

【0018】強誘電体膜4上には、上部電極層5が形成

10

20

30

40

50

5

され、全体として強誘電体容量を構成している。

【0019】（実施例3）図3に示すように、表面に小さな凹凸を有するポリシリコン下部電極11上に、実施例1に示したものと同様に、界面状態の良好な絶縁膜2が形成されている。

【0020】絶縁膜2上には、耐酸化性金属層13が形成されている。ここで、耐酸化性金属の代わりに、酸化されても導電性を持つ金属を使用しても良い。

【0021】耐酸化性金属層13上には、強誘電体膜4が形成されている。強誘電体膜4の直下層が耐酸化性金属あるいは酸化されても導電性の金属であるため、強誘電体膜4の成膜時に新たに絶縁層が生じることはない。

【0022】本構造を用いる場合、小さな凹凸を有するポリシリコン下部電極11を用いているため、図10の等価回路に示す強誘電体容量24と常誘電体容量22との直列接続のうち、常誘電体容量22の容量値を、平坦なポリシリコン下部電極を用いる場合に比べて大きくすることができる。したがって、容量全体にかかる電圧のうち、実効的に強誘電体容量24に対してかかる電圧が高くなり、強誘電体の分極反転を起こしやすくなることができる。具体的には、図11に示したグラフにおいて、絶縁膜2の酸化膜換算の膜厚を薄くすると同じ効果が得られる。すなわち、例えば、小さな凹凸を有するポリシリコン下部電極11を用いることにより、下部電極の表面積を2倍にすることができれば、常誘電体容量22の容量値が2倍になり、絶縁膜2のシリコン酸化膜換算の膜厚を2分の1にすると同じ効果が得られる。

【0023】強誘電体膜4上には、上部電極層5が形成され、全体として強誘電体容量を構成している。

【0024】（実施例4）図4に示すように、あらかじめ基板上に形成された層間絶縁膜17の溝部に微細加工可能な下部電極1を埋め込みその上に絶縁膜2、強誘電体膜4、上部電極層5が形成されている。

【0025】この構造を用いると、強誘電体膜4をゾルゲル法等により形成する際に、下部電極端部で強誘電体膜の膜厚が薄くなることと、電極形状から生じる電界集中との相乗効果による、下部電極端部でのリーク電流増大、絶縁破壊を防ぐことができる。

【0026】図4では、実施例1に示した構造に対して、下部電極を層間絶縁膜中に埋め込んだ構造を示しているが、同様に実施例2～3に示した構造に対して、下部電極を層間絶縁膜中に埋め込んだ構造にしても良い。

【0027】（実施例5）図5に示すように、電界効果トランジスタ16のソース・ドレインの一方と、ビット線20とが接続されている。また、ソース・ドレインの他方は、強誘電体容量34の上部電極または下部電極の一方に接続されている。そして、電界効果トランジスタ16のゲート電極がワード線26に接続され、メタルセルを構成している。ここで、強誘電体容量34としては、実施例1～4に記した構造を用いる。

6

【0028】このメモリセル構成を用いることにより、メモリセル面積が小さい、高集積化に適した不揮発性メモリセルを形成することができる。

【0029】（実施例6）図6に示すように、基板上に電界効果トランジスタ6、およびフィールド酸化膜7が形成され、前記フィールド酸化膜7上に実施例1～4に示した強誘電体容量34が形成されている。また、電界効果トランジスタ6のソース・ドレインの一方と強誘電体容量34の上部電極とが接続されるように金属配線層8が形成されている。そして、ソース・ドレインの他方にビット線10が接続され、不揮発性メモリ用メモリセルを構成している。

【0030】図6では、ビット線10は強誘電体容量34の下側を通っているが、上側を通るようにしてもよい。

【0031】この構造を用いると、強誘電体容量の下部電極として微細加工可能な材料を用いているので、従来の耐酸化性金属を下部電極に使用するものに比べて、メモリセル全体の微細化にも有利である。

【0032】（実施例7）図7に示すように、基板上に電界効果トランジスタ6、およびフィールド酸化膜7が形成され、トランジスタ6上に実施例1～4に示した強誘電体容量34が形成されている点が実施例6と異なっている。トランジスタ6のソース・ドレインの一方と強誘電体容量34の上部電極とが接続されるように金属配線層8が形成されている。そして、電界効果トランジスタ6のソース・ドレインの他方にビット線10が接続され、不揮発性メモリ用メモリセルを構成している。なお、強誘電体容量34は、トランジスタ6上とフィールド酸化膜7上にまたがって形成されても良い。また図7では、ビット線10は強誘電体容量34の下側を通っているが、上側を通るようにしてもよい。

【0033】この構造を用いると、実施例6に示した構造と同様に、強誘電体容量の下部電極として微細加工可能な材料を用いているので、従来の耐酸化性金属を下部電極に使用するものに比べて、メモリセル全体の微細化にも有利である。

【0034】（実施例8）図8に示すように、基板上に電界効果トランジスタ6、およびフィールド酸化膜7が形成され、ソース・ドレインの一方と強誘電体容量34の下部電極とがコンタクト電極9で接続されるように実施例1～4に示した強誘電体容量34が形成されている。そして、ソース・ドレインの他方にビット線10が接続され、かつビット線10と強誘電体容量34とが短絡しないように強誘電体容量34上にビット線10が形成され、不揮発性メモリ用メモリセルを構成している。

【0035】図8では、強誘電体容量34の上部電極および強誘電体膜が下部電極と同様に加工されているが、上部電極および強誘電体膜を隣接するセルアレイと共通にしてもよい。下部電極に微細加工可能な材料を用いて

7

いるので、上部電極および強誘電体膜は微細加工をしなくても、小さなメモリセルを形成することができる。

【0036】ただしこの場合は、上部電極と他の配線層との寄生容量が大きくなるため、上部電極を駆動させる方式でメモリを動作させると、データの読み出し、書き込みにかかる時間が長くなり、メモリの動作速度が遅くなってしまう。従って、上部電極を駆動させない方式でメモリを動作させる必要があるが、そのためには、電源電圧の2分の1の電圧で、強誘電体が分極反転する必要がある。そこで、例えば実施例1に示したように、図1に示した強誘電体容量で、100nm厚の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を強誘電体膜4として用い、絶縁膜2の膜厚をシリコン酸化膜換算で2.5nmにすれば、2.5Vを容量全体にかければメモリ動作を行うことができるので、5Vの電源電圧ならば動作可能である。

【0037】(実施例9)図9に示すように、基板上に電界効果トランジスタ6、およびフィールド酸化膜7が形成され、ソース・ドレインの一方と強誘電体容量34とがコンタクト電極9で接続されるように実施例1~4に示した強誘電体容量34が形成されている。そして、ソース・ドレインの他方にビット線10が接続され、かつビット線10と強誘電体容量34とが短絡しないようにビット線10上に強誘電体容量34が形成され、不揮発性メモリ用メモリセルを構成している。

【0038】図9では、強誘電体容量34の上部電極および強誘電体が下部電極と同様に加工されているが、実施例8に示したものと同様に、上部電極および強誘電体膜をセルアレイ内部では加工しない方法も考えられる。すると、下部電極に微細加工可能な材料を用いているので、上部電極および強誘電体膜は微細加工をしなくても、小さなメモリセルを形成することができる。また、上部電極と他の配線層との寄生容量が大きくなる問題に関しても実施例8と同様である。

【0039】

【発明の効果】以上説明したように、下部電極と強誘電体との間に、強誘電体膜からの金属拡散を防ぐ絶縁膜を挿入することにより、下部電極に酸化されやすい材料を使ったとしても絶縁膜との界面状態が良好で、電気特性ばらつきの少ない強誘電体容量を形成することができ、その結果、メモリセルトランジスタと強誘電体容量とをコンタクト電極で接続するタイプのメモリセル構造が実現可能になり、メモリセル面積を縮小することができる。また、メモリセルトランジスタと強誘電体容量をコ

8

ンタクト電極で接続しないメモリセル構造を用いる場合にも、下部電極にPt等比べて微細加工可能な材料を用いることができるため、メモリセル面積の縮小に対して有利になっている。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面図である。

【図2】本発明の第2の実施例を示す断面図である。

【図3】本発明の第3の実施例を示す断面図である。

【図4】本発明の第4の実施例を示す断面図である。

【図5】本発明の第5の実施例を示す断面図である。

【図6】本発明の第6の実施例を示す断面図である。

【図7】本発明の第7の実施例を示す断面図である。

【図8】本発明の第8の実施例を示す断面図である。

【図9】本発明の第9の実施例を示す断面図である。

【図10】本発明の実施例1~3の等価回路を説明する図である。

【図11】強誘電体容量に実効的にかかる電圧値、およびメモリ動作に必要な電圧値を説明するグラフである。

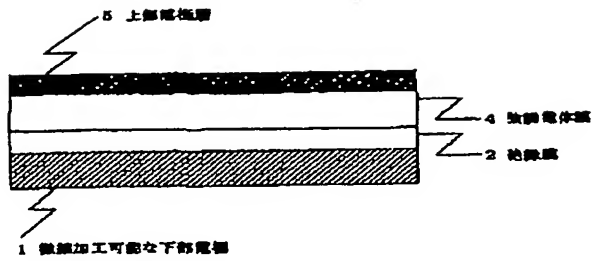
【図12】従来技術の断面構造を説明する断面図である。

【図13】従来技術の断面構造を説明する断面図である。

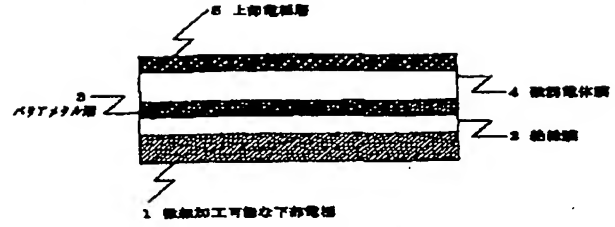
【符号の説明】

- 1 微細加工可能な下部電極
- 2 絶縁膜
- 3 バリアメタル層
- 4 強誘電体膜層
- 5 上部電極層
- 6 電界効果トランジスタ
- 7 フィールド酸化膜
- 8 金属配線層
- 9 コンタクト電極
- 10 ビット線
- 11 小さな凹凸を有するポリシリコン下部電極
- 12 ポリシリコン酸化層
- 13 耐酸化性金属層
- 16 電界効果トランジスタ
- 17 層間絶縁膜
- 20 ビット線
- 22 常誘電体容量
- 24 強誘電体容量
- 26 ワード線
- 34 強誘電体容量

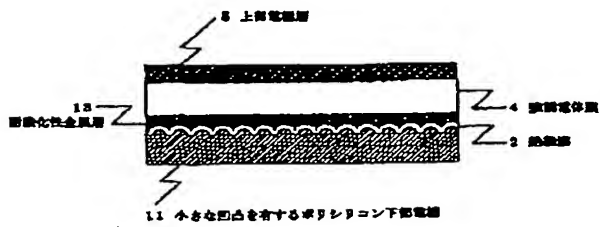
【図1】



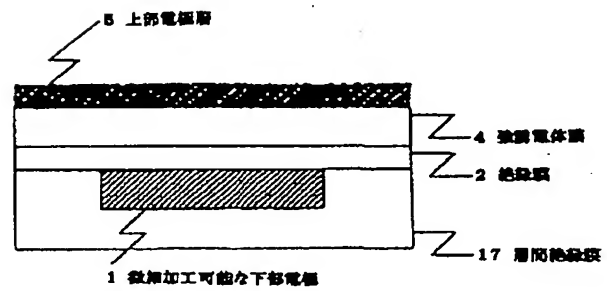
【図2】



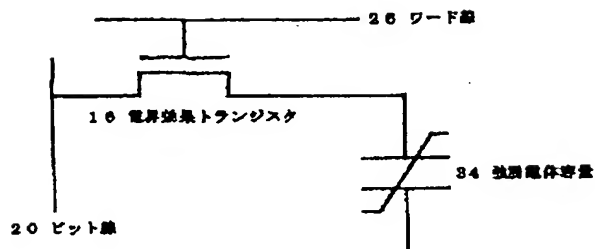
【図3】



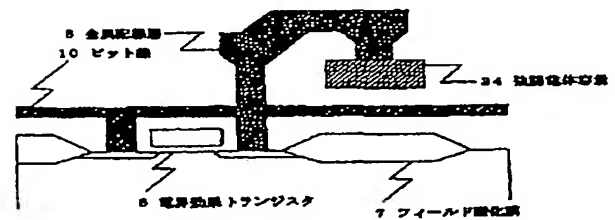
【図4】



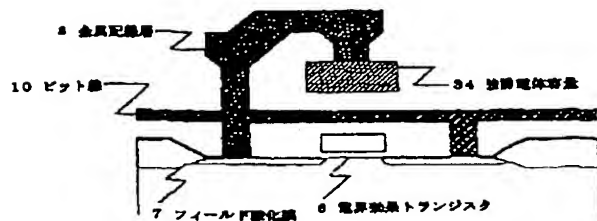
【図5】



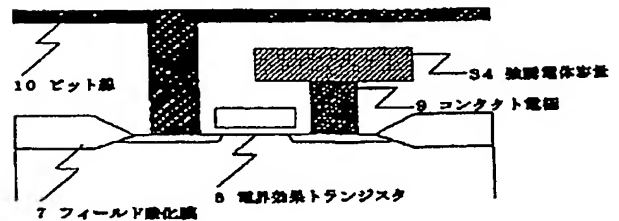
【図6】



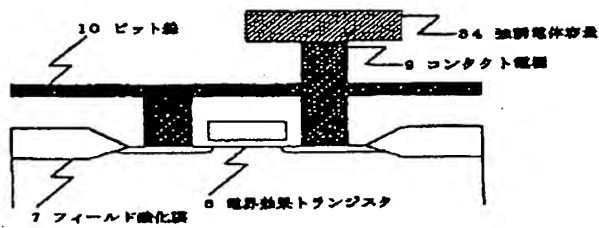
【図7】



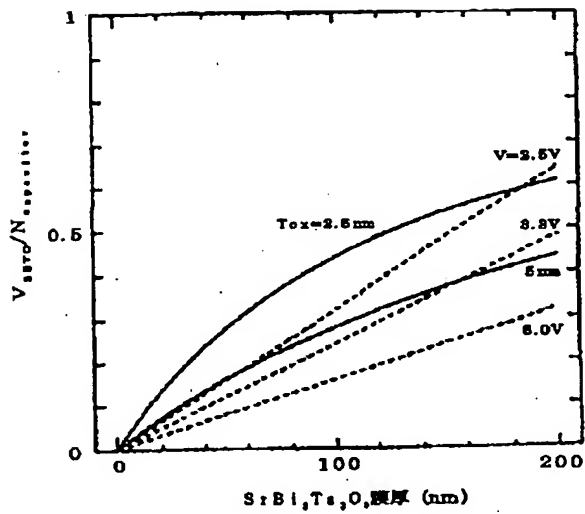
【図8】



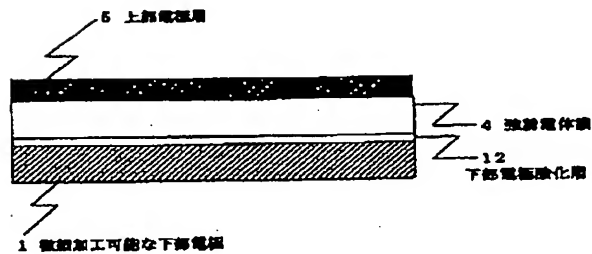
【図9】



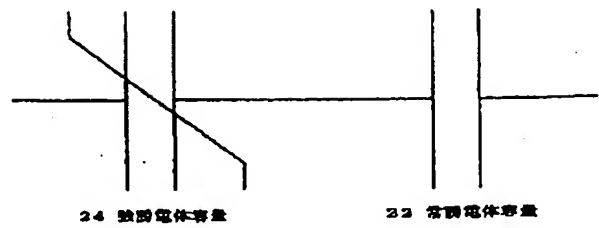
【図11】



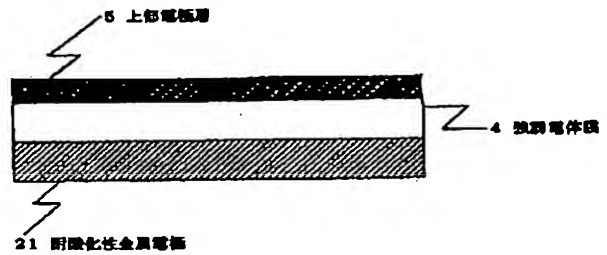
【図13】



【図10】



【図12】



BEST AVAILABLE COPY

フロントページの続き

(51)Int.Cl. 6

識別記号

FI

H 0 1 L 21/8247

29/788

29/792

(72)発明者 前島 幸彦  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72)発明者 林 喜宏  
東京都港区芝五丁目7番1号 日本電気株  
式会社内  
(72)発明者 國尾 武光  
東京都港区芝五丁目7番1号 日本電気株  
式会社内